

CLIPPEDIMAGE= JP404345041A

PAT-NO: JP404345041A

DOCUMENT-IDENTIFIER: JP 04345041 A

TITLE: MOUNTING STRUCTURE OF SEMICONDUCTOR ELEMENT

PUBN-DATE: December 1, 1992

INVENTOR-INFORMATION:

NAME

TANAKA, MUNEKAZU

SUGIMOTO, MASAKAZU

OUCHI, KAZUO

ASSIGNEE-INFORMATION:

NAME

NITTO DENKO CORP

COUNTRY

N/A

APPL-NO: JP03148013

APPL-DATE: May 22, 1991

INT-CL (IPC): H01L021/60;H01L021/321

US-CL-CURRENT: 29/879

ABSTRACT:

PURPOSE: To obtain the mounting structure for a semiconductor element which can simply and precisely form a protective film, and precisely align an element with a wiring pattern on an external circuit board, in the case of bonding a flip chip system.

CONSTITUTION: By using a heat fusion type insulating film 3 provided with through holes 4 into which metal protrusions 2 of a semiconductor element 1 can be inserted, the semiconductor element 1 is mounted on a wiring pattern 5 formed on an outer circuit board 6. By heating, the

insulating film 3 is
melted and acts as a protective film.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-345041

(43) 公開日 平成4年(1992)12月1日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	6918-4M		
21/321		9168-4M	H 0 1 L 21/92	F

審査請求 未請求 請求項の数2(全 4 頁)

(21) 出願番号 特願平3-148013

(22) 出願日 平成3年(1991)5月22日

(71) 出願人 000003964

日東電工株式会社

大阪府茨木市下穂積1丁目1番2号

(72) 発明者 田中 宗和

大阪府茨木市下穂積1丁目1番2号 日東
電工株式会社内

(72) 発明者 杉本 正和

大阪府茨木市下穂積1丁目1番2号 日東
電工株式会社内

(72) 発明者 大内 一男

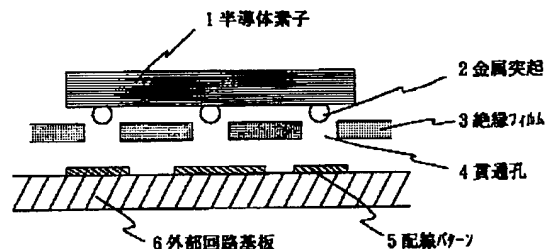
大阪府茨木市下穂積1丁目1番2号 日東
電工株式会社内

(54) 【発明の名称】 半導体素子の実装構造

(57) 【要約】

【目的】 フリップチップ方式のボンディングにおいて、保護膜を簡便に精度よく形成すると共に、外部回路基板上の配線パターンへの位置合わせも精度よくできる半導体素子の実装構造を提供する。

【構成】 半導体素子1の金属突起2を挿入しうる貫通孔4を形成した熱溶解性の絶縁フィルム3を用い、外部回路基板6上の配線パターン5に半導体素子を実装して実装構造とする。加熱することによって絶縁フィルム3が熔融して保護膜として作用する。



【特許請求の範囲】

【請求項1】 半導体素子の電極パッド上の金属突起と相対する位置に該金属突起を挿入しうる貫通孔を有し、熱によって熔融しうる樹脂から形成された絶縁フィルムに、上記半導体素子を挿着して、これを外部回路基板上の配線パターンに接続、加熱してなる半導体素子の実装構造。

【請求項2】 絶縁フィルムが支持フィルムの両面に熱によって熔融しうる樹脂層を形成したものである請求項1記載の半導体素子の実装構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体素子の実装構造に関し、詳しくは半導体素子を外部回路基板上にフリップチップボンディングしてなる実装構造に関する。

【0002】

【従来の技術】 近年、電子機器の発達によって半導体装置を多く用いるデバイスや機器は、小型薄型化や軽量化に伴い、半導体素子を一定面積の基板上に高密度実装する必要がある。そこで、用いる半導体素子は従来のような素子周縁部に電極パッドを有するものではなく、素子内域面にもパッドを形成した所謂、エリアチップが開発されている。このようなエリアチップを実装するには、エリアタイプのフィルムキャリア方式やフリップチップ方式が採用されており、通常、半導体素子の金属パッドと外部回路基板上の配線パターンとを正確に位置合わせしたのち、加熱もしくは加熱加圧して半田付け固定を行っている。また接続を確実にし、しかも外部からの電氣的、機械的不良因子から保護するために、一般に半導体素子の金属パッド面側にポリイミド系樹脂やシリコーン系樹脂などからなる保護膜を形成している。

【0003】 しかしながら、フリップチップ方式の接続では半導体素子の電極パッド面と外部回路基板の配線パターン形成面とが相対するように位置合わせして接続するので、上記保護膜は半導体素子面に設けられた金属突起の高さまでの厚みしか形成できず、このような薄い保護膜を形成することは容易ではない。従って、通常は半導体素子を実装後に半導体素子の周辺部もしくは半導体素子を覆うように保護膜形成溶液を塗布し、接続された半導体素子と外部回路基板との間の僅かの隙間に毛管現象などを利用して溶液を流入させて保護膜を形成している。

【0004】 このような方法で保護膜を形成した場合、保護膜が均一に形成されにくく、また用いる保護膜形成溶液には適度な流動性が必要となるので、使用可能な保護膜形成材料に制限が生じる。さらに、近年の高密度実装に伴って半導体素子上に形成される金属突起間のピッチも細密化されているので、金属突起の加熱熔融による短絡を防止するために金属突起の大きさも次第に小さくなる傾向にある。従って、形成する保護膜の厚みもさ

らに薄くする必要があり、従来法による形成法では保護膜を形成しづらいのが実情である。

【0005】 一方、熱または光によって硬化する樹脂を半導体素子を実装する外部回路基板上に予め塗布しておき、そののち半導体素子を実装、加熱もしくは光照射を行って保護膜形成と半導体素子の樹脂封止を同時に行う方法も提案されている。しかし、この方法では金属突起と外部回路基板との間（接点部分）に樹脂層が形成されるので、電氣的な接続信頼性が低下するおそれがある。

10 【0006】

【発明が解決しようとする課題】 本発明は上記のような従来の課題に鑑み、フリップチップ方式のボンディングにおいて保護膜を簡便に精度よく、しかも位置合わせも容易に行えて得られる半導体素子の実装構造を提供することを目的としてなされたものである。

【0007】

【課題を解決するための手段】 そこで、本発明者らは上記目的を達成するために鋭意検討を重ねた結果、電極パッド上の金属突起と相対する位置に貫通孔を有し、熱によって熔融しうる樹脂から形成された絶縁フィルムに、半導体素子を挿着して、これを外部回路基板上の配線パターンに接続、加熱することによって、接続部分の位置合わせを容易に行うことができると共に、保護膜を精度よく簡便に形成できることを見出し、本発明を完成するに至った。

20 【0008】 即ち、本発明は半導体素子の電極パッド上の金属突起と相対する位置に該金属突起を挿入しうる貫通孔を有し、熱によって熔融しうる樹脂から形成された絶縁フィルムに上記半導体素子を挿着し、これを外部回路基板上の配線パターンに接続、加熱してなる半導体素子の実装構造を提供するものである。

【0009】

【実施例】 以下に本発明の実装構造の実施例を図面を用いて具体的に説明する。

【0010】 図1は本発明の半導体素子の実装構造を説明するための分解断面図であり、図2は半導体素子を挿着した絶縁フィルムを外部回路基板上の配線パターンに接続した直後（加熱前）の状態を示す断面図、図3は図2の状態のものを加熱して絶縁フィルムを熔融させ、本発明の実装構造とした状態を示す断面図である。

【0011】 図1において半導体素子1の電極パッド（図示省略）には半田、金、銀、銅、などの材料からなる金属突起2が、高さ10～200μm程度、径（幅）10～500μm程度の大きさにて形成されており、半導体素子1はこの金属突起2によってガラス、セラミック、各種樹脂、半導体ウエハなどからなる外部回路基板6上の配線パターン5に接続、固定される。

【0012】 本発明に用いる絶縁フィルム3は図1に示すように、金属突起2と相対する位置に該突起2を挿入できる貫通孔4を有するものであり、この貫通孔4を利

3

用して半導体素子1を挿着、搬送することができる。

【0013】また、上記絶縁フィルム3には外部回路基板6上の所定位置（配線パターン5）への位置合わせを精確に行うために、貫通孔4と相関位置にある位置合わせ用のアライメントマーク（図示省略）を公知の手段にて設けることもでき、位置合わせ時にカメラなどで確認しながら確実に載置、固定することができる。さらに、位置合わせ用に治具孔（図示省略）を穿孔加工などの手段にて設けることもできる。

【0014】本発明において半導体素子1はまず、絶縁フィルム3に挿着、搬送されるが、絶縁フィルムは長尺状にして複数の半導体素子を連続して搬送することもできる。このように長尺状とすることによって、半導体装置の生産工程において連続的に半導体素子を供給することができ、生産効率の向上が図れる。

【0015】本発明においては図2に示すように、外部回路基板6上の所定の配線パターン5に絶縁フィルム3を介して挿着された半導体素子1を接続する。そのうち、これを加熱することによって、図3に示すように絶縁フィルム3が溶融して外部回路基板6上に流動、密着し、半導体素子1の電極パッド面および外部回路基板6上に絶縁フィルム3からなる保護膜を形成することができる。その結果、接続信頼性が高い実装構造となる。なお、半導体素子1を外部回路基板6の配線パターン5上に精確に位置合わせしたのちの加熱もしくは加熱加圧される前（図3の状態）に、絶縁フィルム3の半導体素子1載置面以外の不要部分は裁断、除去することが好ましい。

【0016】図3のように本発明の実装構造において、外部回路基板6上の配線パターン5に接続された半導体素子1は、絶縁フィルム3からなる保護膜を配線パターンとの間に介在させているので、半導体素子1と配線パターン5の間は一定距離に維持され、しかも各金属突起2の間も絶縁フィルム3によって確実に絶縁されているので短絡を生じることがない。さらに、絶縁フィルム3は壁材的に作用するので、金属突起2がたとえ加熱流動しても流出の防止ができるという効果も発揮し、電気的な接続信頼性が極めて高いものである。

【0017】本発明において用いる絶縁フィルム3は、電気絶縁特性を有するものであればその材質に制限はなく、例えばポリエステル系樹脂、エポキシ系樹脂、ウレタン系樹脂、ポリスチレン系樹脂、ポリエチレン系樹脂、ポリアミド系樹脂、ポリイミド系樹脂、ABS樹脂、ポリカーボネート樹脂、シリコン系樹脂、フッ素樹脂など熱硬化性樹脂や熱可塑性樹脂を問わず用いることができる。これらの材料のうち耐熱性や機械的強度の点からはポリイミド系樹脂を用いることが好ましい。なお、熱硬化性樹脂を絶縁フィルムとして用いる場合は、半硬化状態、所謂Bステージ状態の樹脂を用いる。

【0018】上記絶縁フィルム3に形成される貫通孔4

4

は、半導体素子1の金属突起2の孔4内への挿入、半導体素子1の搬送および外部回路基板6上の配線パターン5への接続、固定に重要なものであって、孔径は金属突起2の径の100～500%（約100～500μm）、好ましくは120～200%（約20～200μm）、貫通孔の深さ（フィルム厚）は金属突起2の高さの5～200%（約5～200μm）、好ましくは50～90%程度（約50～90μm）とする。貫通孔4の形成には機械加工やレーザー加工、光加工、化学エッチング法などが採用でき、加工精度やエッチングファクター（小テーパ率）などの点からはエキシマレーザーのような高出力紫外レーザーの照射によるアブレーションを利用することが好ましい。

【0019】図4は上記絶縁フィルム3として支持フィルム7の両面に熱によって溶融しうる樹脂層を形成したものをを用いた本発明の実装構造を示す断面図である。

【0020】図4に示すような中間に支持フィルム7を用いた多層構造の絶縁フィルム3を用いた場合、自己支持性に優れるので作業性が良好となる。ここで用いる支持フィルムは熱溶解性を有する必要はなく、自己支持性を付与できれば特に制限はない。材質としては前記絶縁フィルムの材料から選択すればよい。

【0021】

【発明の効果】本発明の半導体素子の実装構造は、半導体素子の電極パッド上の金属突起を挿入しうる貫通孔を形成した熱溶解性の絶縁フィルムを用い、これによって半導体素子を搬送および外部回路基板へ実装してなるので、半導体素子の搬送が簡便となり、しかも接続部分への位置合わせを容易に行うことができるものである。また、用いる絶縁フィルムは熱によって溶融するので、実装後は絶縁フィルム自体が保護膜となるので簡便な作業によって、接続信頼性が高い実装構造を得ることができる。

【0022】さらに、上記絶縁フィルムを介して半導体素子が外部回路基板上に実装されているので、半導体素子と配線パターン間や各電極パッド間の絶縁が確実であると共に、金属突起材料の流出による短絡もなく、接続信頼性が極めて高い半導体素子の実装構造となるのである。

【図面の簡単な説明】

【図1】 本発明の半導体素子の実装構造を説明するための分解断面図である。

【図2】 半導体素子を挿着した絶縁フィルムを外部回路基板上の配線パターンに接続した直後（加熱前）の状態を示す断面図である。

【図3】 図2の状態のものを加熱して絶縁フィルムを溶融させ、本発明の実装構造とした状態を示す断面図である。

【図4】 本発明の実装構造を示す他の断面図である。

【符号の説明】

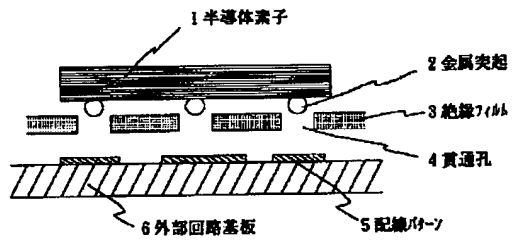
5

6

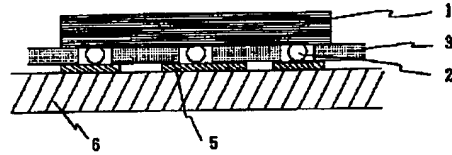
- 1 半導体素子
- 2 金属突起
- 3 絶縁フィルム
- 4 貫通孔

- 5 配線パターン
- 6 外部回路基板
- 7 支持フィルム

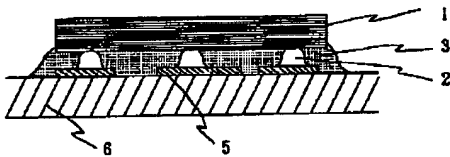
【図1】



【図2】



【図3】



【図4】

